

①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑩ DE 43 23 961 A 1

⑤① Int. Cl. 5:  
H 01 L 27/108  
H 01 L 23/532  
G 11 C 11/407

⑲ Aktenzeichen: P 43 23 961.7  
⑳ Anmeldetag: 16. 7. 93  
㉑ Offenlegungstag: 20. 1. 94

AUS 5414655

DE 43 23 961 A 1

⑶⑦ Unionspriorität: ⑶② ⑶③ ⑶①  
17.07.92 JP P 4-191120

⑦① Anmelder:  
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

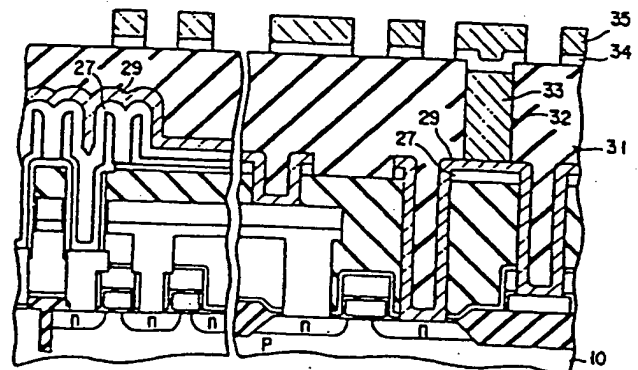
⑦④ Vertreter:  
Feiler, L., Dr.rer.nat.; Hänzel, W., Dipl.-Ing.;  
Kottmann, D., Dipl.-Ing, Pat.-Anwälte, 81675  
München

⑦② Erfinder:  
Ozaki, Tohru, Tokio/Tokyo, Shinagawa, JP; Takato,  
Hiroshi, Wappingers Falls, N.Y., US; Nitayama,  
Akihiro, Wappingers Falls, N.Y., US

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterspeichervorrichtung

⑤⑦ Die erfindungsgemäße Halbleiterspeichervorrichtung umfaßt ein Halbleitersubstrat (10), wenigstens einen Speicherzellenabschnitt mit einer Vielzahl von Speicherzellen, deren jede aus einem Kondensator und einem MOS-Transistor auf dem Halbleitersubstrat (10) gebildet ist, einen Peripherieschaltungsabschnitt, der auf dem Halbleitersubstrat (10) in einem Bereich erzeugt ist, der von dem Bereich verschieden ist, in welchem der Speicherzellenabschnitt hergestellt ist, und eine Verdrahtungsschicht (27, 29), die als eine obere Elektrode des Kondensators verwendet und als ein Draht des Peripherieschaltungsabschnittes benutzt wird.



DE 43 23 961 A 1

Die Erfindung betrifft eine Halbleiterspeichervorrichtung mit beispielsweise einem Stapeltypkondensator und insbesondere eine Halbleiterspeichervorrichtung, die durch Verbessern der Verdrahtungsschicht eines dynamischen Speichers mit direktem Zugriff oder dynamischen Randomspeichers (DRAM) erhalten ist.

In den letzten Jahren wurde die Integrationsdichte des DRAM gesteigert, und die Fläche eines Kondensators zum Speichern von Daten oder Information (Ladungen) ist entsprechend weiter vermindert. Als Ergebnis können Probleme derart auftreten, daß Speicherdaten irrtümlich ausgelesen werden oder ein weicher Fehler durch  $\alpha$ -Strahlen verursacht wird, um die Speicherdaten zu zerstören.

Als eine Methode zum Lösen der obigen Probleme und zum Erzielen der hohen Speicherdichte sowie einer großen Kapazität wird die folgende Methode vorgeschlagen. Ein MOS-Kondensator wird auf einem Speicherzellenbereich gebildet, und eine der Elektroden des Kondensators wird elektrisch mit einer Elektrode eines auf dem Halbleitersubstrat gebildeten Schalttransistors verbunden. Eine Speicherzelle mit der obigen Struktur wird gewöhnlich als eine Stapeltypspeicherzelle bezeichnet, wobei die eingenommene Fläche des Kondensators im wesentlichen vergrößert und die elektrostatische Kapazität des MOS-Kondensators erhöht ist.

In der Speicherzelle mit der obigen Struktur kann eine Speicherknotenelektrode so gebildet werden, daß sie sich über den Elementtrennbereich erstreckt, und die Seitenwand der Speicherknotenelektrode kann als ein Kondensator verwendet werden, indem die Filmdicke der Speicherknotenelektrode vergrößert wird, so daß deren Kapazität einige Mal größer als diejenige der Planarstruktur gemacht werden kann. Da weiterhin die Diffusionsschicht des Speicherknotenabschnittes nur einen Diffusionsbereich unter der Speicherknotenelektrode umfaßt, ist die Fläche der Diffusionsschicht zum Sammeln von durch  $\alpha$ -Strahlen erzeugten Ladungen extrem klein, und es kann eine Zellstruktur erhalten werden, die gegenüber dem weichen Fehler äußerst widerstandsfähig ist.

Da bei der obigen Struktur die Kapazität des DRAM, der größer als 64 Mbits ist, unzureichend wird, werden eine Zylindertypstruktur zum Vergrößern der Kapazität des Kondensators durch Verwendung der Seitenwand der Speicherelektrode und eine Speicherelektrodenstruktur einer Rippentypstruktur mit einer in einer mehrlagigen Form ausgebildeten Speicherelektrode vorgeschlagen.

Jedoch wird bei der obigen Speicherelektrodenstruktur die Höhe der Speicherelektrode groß (500 bis 1000 nm), und in dem Peripherieschaltungsabschnitt tritt ein Problem auf, nach welchem eine Verdrahtung von dem ersten Al-Draht zu der unteren Schicht oder vom Kontakt zum Substrat tief ist und eine Verbindung schwierig wird.

Wenn, wie oben beschrieben wurde, in dem herkömmlichen Stapeltyp-DRAM eine ausreichend große Speicherkapazität erzielt werden soll, so wird die Höhe des Speicherknotens groß, ein Isolierfilm zur Planar-Gestaltung wird dick, und das Kontaktloch wird tief, so daß es schwierig ist, eine Verbindung mit dem Substrat herzustellen.

Es ist Aufgabe der vorliegenden Erfindung, eine Halbleiterspeichervorrichtung mit einer Struktur zu schaffen, die eine einfache Verbindung zu dem Substrat

in einem Kontaktloch in einem Peripherieschaltungsabschnitt erlaubt, während eine ausreichend große Speicherkapazität beibehalten wird.

Diese Aufgabe wird bei einer Halbleiterspeichervorrichtung nach dem Oberbegriff des Patentanspruches 1 bzw. 4, 7, 15 erfindungsgemäß durch die in den jeweiligen kennzeichnenden Teilen enthaltenen Merkmale gelöst.

Die Erfindung schafft also eine Halbleiterspeichervorrichtung, die dadurch gekennzeichnet, daß ein Kontakt zu einem tieferlagigen Draht (Verdrahtungsschicht) mittels der gleichen Verdrahtungsschicht wie eine obere Elektrode eines Speicherkondensatorabschnittes gebildet ist und die ersten Al-Drähte und tieferlagige Drähte oder Kontakte für das Substrat alle oder teilweise mit Ausnahme von Kontakten mit einem großen Lochdurchmesser mit der Verdrahtungsschicht verbunden sind.

Wenn in diesem Fall die Plattenelektrode als die Verdrahtungsschicht durch die normale Methode verwendet wird, muß eine Verbindung zwischen den Kontakten vor Ablagerung der Plattenelektrode bewirkt werden, und es tritt ein Problem auf, daß der Kondensatorisolierfilm durch das Resist verunreinigt wird. Daher ist es wünschenswert, eine Öffnung in dem Kontakt nach Bildung der erstlagigen Plattenelektrode zu formen und dann die zweitlagige Elektrode aufzutragen und zu verarbeiten.

Die Erfindung ist gekennzeichnet durch ein Halbleitersubstrat, wenigstens einen Speicherzellenabschnitt mit einer Vielzahl von Speicherzellen, deren jede aus einem Kondensator mit einer oberen Elektrode, einer unteren Elektrode und einer dazwischenliegenden Kondensator-Isolierschicht und aus einem auf dem Halbleitersubstrat geformten MOS-Transistor gebildet ist, einen Peripherieschaltungsabschnitt, der auf dem Halbleitersubstrat in einer Fläche außerhalb der Fläche, in der der Speicherzellenabschnitt gebildet ist, vorgesehen ist und eine Verdrahtungsschicht, die als die obere Elektrode des Kondensators und als ein Draht des Peripherieschaltungsabschnittes verwendet wird.

Die Erfindung ist weiter gekennzeichnet durch ein Halbleitersubstrat, wenigstens einen Speicherzellenabschnitt einschließlich einer Vielzahl von Speicherzellen, die jeweils aus einem auf dem Halbleitersubstrat gebildeten MOS-Transistor und einem auf dem MOS-Transistor gebildeten Kondensator besteht und eine obere Elektrode sowie eine über eine Isolierschicht zur oberen Elektrode entgegengesetzte untere Elektrode aufweist, einen Peripherieschaltungsabschnitt, der eine untere Verdrahtungsschicht aufweist und auf dem Halbleitersubstrat in einem Bereich außerhalb eines Bereiches vorgesehen ist, in welchem der Speicherzellenabschnitt gebildet ist, eine erste Verdrahtungsschicht, die als die obere Elektrode des Kondensators auf der Isolierschicht des Kondensators und des Peripherieschaltungsabschnittes gebildet und mit dem zweilagigen Draht des Peripherieschaltungsabschnittes und dem Halbleitersubstrat verbunden ist, wobei der Peripherieschaltungsabschnitt Kontaktlöcher hat, die selektiv geformt sind, um einen Teil der ersten Verdrahtungsschicht zu ätzen, und eine zweite Verdrahtungsschicht, die auf der ersten Verdrahtungsschicht und in den Kontaktlöchern ausgebildet ist.

Die Erfindung ist weiterhin gekennzeichnet durch ein Halbleitersubstrat, wenigstens einen Speicherzellenabschnitt mit einer Vielzahl von Speicherzellen, deren jede aus einem MOS-Transistor, der auf dem Halbleitersub-

strat ausgeführt ist, und einem Kondensator, der auf dem MOS-Transistor ausgeführt ist, besteht und eine obere Elektrode sowie eine über eine Isolierschicht zur oberen Elektrode entgegengesetzte untere Elektrode hat, einen Peripherieschaltungsabschnitt, der eine untere Verdrahtungsschicht hat und auf dem Halbleitersubstrat in einem Bereich außerhalb eines Bereiches, in welchem der Speicherzellenabschnitt gebildet ist, ausgeführt ist, und eine Verdrahtungsschicht, die aus einer Vielzahl von Schichten einschließlich wenigstens einer ersten und einer zweiten Verdrahtungsschicht besteht, wobei die Verdrahtungsschicht als die obere Elektrode des Kondensators auf der Isolierschicht des Kondensators und dem Peripherieschaltungsabschnitt ausgeführt ist und wobei der obere Draht der zweiten Verdrahtungsschicht, der die zweite Verdrahtungsschicht enthält, mit dem tieferlagigen Draht des Peripherieschaltungsabschnittes und dem Halbleitersubstrat verbunden ist.

Die Merkmale von bevorzugten Ausführungsbeispielen der Erfindung sind die folgenden:

- 1) Die Halbleiterspeichervorrichtung ist vom Stapeltyp.
- 2) Die erste Schicht des Drahtes, die aus der gleichen Schicht wie die obere Elektrode besteht, ist aus polykristallinem Silizium, TiN, Ni oder Kohlenstoff gebildet, und die zweite Schicht ist aus  $WSi_2$ , W, Ni, Al, Cu oder TiN/W, TiN/Al, TiN/Cu, Ti/TiN/W, Ti/TiN/Al, Ti/TiN/Cu,  $TiSi_2$ /TiN/W,  $TiSi_2$ /TiN/Al,  $TiSi_2$ /TiN/Cu, TiB/W, TiB/Al, TiB/Cu, Ti/TiB/Al, Ti/TiB/W, Ti/TiB/Cu,  $TiSi_2$ /TiB/W,  $TiSi_2$ /TiB/Al,  $TiSi_2$ /TiB/Cu gebildet.
- 3) Der Speicherkondensatorabschnitt ist auf dem oberen Teil der Zellenbitleitung gebildet, und der Draht mit der gleichen Pegelschicht (der Schicht, die gleichzeitig gebildet wird) wie die Zellenbitleitung hat ein Muster, um den Source/Drain-Bereich in dem Peripherieschaltungsabschnitt zu bedecken.
- 4) Ein Bitleitungsdraht ist in einem Muster angeordnet, daß ein Abstand zwischen Teilen des Musters ungefähr höchstens 1  $\mu m$  beträgt.
- 5) Der Draht (Verdrahtungsschicht) mit der gleichen Pegelschicht (gleichpegelige Schicht) wie die obere Elektrode des Speicherkondensators ist in einem derartigen Muster angeordnet, daß ein Abstand zwischen Teilen des Musters ungefähr 1  $\mu m$  höchstens beträgt.
- 6) Der aktive Bereich ist derart angeordnet, daß eine Wortleitung zwischen benachbarten Bitleitungskontakten liegt, wenn der Speicherkondensatorabschnitt des dynamischen RAM (Randomspeicher) nach Herstellung der Wortleitung gebildet wird.

Gemäß der obigen Struktur der vorliegenden Erfindung ist beispielsweise die Tiefe des Kontaktes des ersten Al-Drahtes durch eine Entfernung zum Masseelektroden Draht der unteren Schicht bestimmt. Daher ist ein Längenverhältnis von beispielsweise ungefähr 4 : 5 bisher (Durchmesser: 0,4  $\mu m$ , Tiefe: 1,6 bis 2  $\mu m$ ) auf dem 256-Mbit-DRAM-Niveau erforderlich; jedoch kann das Längenverhältnis bei der vorliegenden Erfindung auf 2 bis 3 vermindert werden (Durchmesser: 0,4  $\mu m$ , Tiefe: 0,8 bis 1,2  $\mu m$ ).

Der Masseelektroden Draht ist eine Verdrahtungsschicht, die ursprünglich notwendig ist, und eine neue Schicht zur Bildung der Verdrahtungsschicht ist nicht

notwendig, so daß die obige Struktur ohne Vergrößerung der Anzahl der Schritte hergestellt werden kann. Daher wird es möglich, die Zuverlässigkeit und die Herstellungsausbeute der Elemente zu verbessern.

Wie oben beschrieben wurde, ist die obere Elektrode des Speicherkondensatorabschnittes derart gebildet, daß sie eine Laminatstruktur von zwei oder mehr Schichten hat, und die geschichtete obere Elektroden-schicht ist mit dem tieferlagigen Draht oder dem Substrat als einem Draht im Peripherieschaltungsabschnitt verbunden, so daß die Tiefe des Metallkontaktes flach gemacht werden kann, um so die Herstellung eines DRAM zu ermöglichen, der einfach hergestellt werden kann und eine hohe Zuverlässigkeit hat.

Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1A und 1B Draufsichten mit einer Elementstruktur eines DRAM nach einem ersten Ausführungsbeispiel der Erfindung.

Fig. 2 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem ersten Ausführungsbeispiel.

Fig. 3 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem ersten Ausführungsbeispiel.

Fig. 4 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem ersten Ausführungsbeispiel.

Fig. 5 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem ersten Ausführungsbeispiel.

Fig. 6 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem ersten Ausführungsbeispiel.

Fig. 7 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem ersten Ausführungsbeispiel.

Fig. 8A und 8B Draufsichten der Elementstruktur eines DRAM nach einem zweiten Ausführungsbeispiel der Erfindung.

Fig. 9 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem zweiten Ausführungsbeispiel.

Fig. 10 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem zweiten Ausführungsbeispiel.

Fig. 11 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem zweiten Ausführungsbeispiel.

Fig. 12 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem zweiten Ausführungsbeispiel.

Fig. 13 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem zweiten Ausführungsbeispiel.

Fig. 14 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem zweiten Ausführungsbeispiel.

Fig. 15 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach einem dritten Ausführungsbeispiel.

Fig. 16 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem dritten Ausführungsbeispiel.

Fig. 17 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach einem vierten Ausführungsbeispiel.

Fig. 18 eine Schnittdarstellung zur Erläuterung eines

Herstellungsschrittes des DRAM nach dem vierten Ausführungsbeispiel.

Fig. 19 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach einem fünften Ausführungsbeispiel.

Fig. 20 eine Schnittdarstellung zur Erläuterung eines Herstellungsschrittes des DRAM nach dem fünften Ausführungsbeispiel.

Fig. 21A und 21B jeweils eine Draufsicht bzw. eine Schnittdarstellung mit der Elementstruktur eines DRAM nach einem sechsten Ausführungsbeispiel der Erfindung.

Fig. 22 eine Schnittdarstellung mit der Elementstruktur eines DRAM nach einem siebenten Ausführungsbeispiel der Erfindung und

Fig. 23 eine Schnittdarstellung mit der Elementstruktur eines DRAM nach einem achten Ausführungsbeispiel der Erfindung.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnungen näher erläutert.

Die Fig. 1A und 1B sind Draufsichten, die die schematische Struktur eines DRAM nach einem ersten Ausführungsbeispiel der Erfindung zeigen. Fig. 1A ist eine Draufsicht, die einen Speicherabschnitt zeigt, und Fig. 1B ist eine Draufsicht, die ein Beispiel eines vom Speicherabschnitt verschiedenen Peripherieschaltungsabschnittes zeigt.

Der Speicherabschnitt umfaßt aktive Zonen 1, Speicherelektrodenabschnitte 2, Speicherelektrodenkontakte 2a, Bitleitungen 3, Bitleitungskontakte 3a und Wortleitungen 4.

Der Peripherieschaltungsabschnitt umfaßt Gates (bzw. Gatter) 5, erste Metallschichten 6a, zweite Metallschichten 6b, erste Kontakte 7a, zweite Kontakte 7b und eine Polycid-Schicht 8.

Die Polycid-Schicht 8 mit der gleichen Pegel- bzw. Niveauschicht wie die Zellenabschnitt-Bitleitung liegt in einem Teil der Source/Drain-Zone und wird dazu verwendet, die erste Metallschicht 6a mit der Source/Drain-Zone zu verbinden, und die meisten der Source/Drain-Zonen sind direkt mit der Metallschicht 6a verbunden, die die gleiche Niveau- bzw. Pegelschicht als die obere Elektrode (Plattenelektrode) hat. Alle Kontakte der ersten Al-Draht-(zweite Metall-) Schicht 6b sind mit den ersten Metallschichten 6a verbunden.

Die Fig. 2 bis 7 zeigen Schnittdarstellungen zur Erläuterung der Herstellungsschritte in dem ersten Ausführungsbeispiel, und im folgenden wird das Herstellungsverfahren näher beschrieben. Der linke Teil jeder der Fig. 2 bis 7 entspricht dem Schnitt entlang der Linie A-A' von Fig. 1A, und der rechte Teil entspricht dem Schnitt entlang der Linie B-B' von Fig. 1B.

Eine Wannenzone ist in der Oberflächenschicht des Si-Substrates bei Bedarf ausgebildet, und ein Isolierfilm 11 für Elementtrennung ist erzeugt. In diesem Fall ist der Isolierfilm 11 in dem Peripherieschaltungsabschnitt ein durch die LOCOS-Methode gebildeter Oxidfilm, und der Isolierfilm 11 in dem Speicherzellenabschnitt ist ein Oxidfilm für T-Typ-Graben-Trennung. Danach wird eine Gateelektrode 12 (Gate 5) mit einer Laminatstruktur von Polysilizium/WSi in dem Speicherzellenabschnitt und dem Peripherieschaltungsabschnitt erzeugt; dann wird ein SiN-Film 13 auf der gesamten Oberfläche der Struktur gebildet, und ein Polysilizium-Pfropfen oder -Stöpsel 14 des Speicherkondensatorkontaktabchnittes wird in dem Speicherzellenabschnitt erzeugt. Dann wird ein LP-BPSG-Film 15 (BPSG = Borphosphorsilikat-

glas) auf der gesamten Oberfläche der Struktur aufgetragen, um die Oberfläche flach zu machen, und Kontaktlöcher 16 (erste Kontakte 7a) zur Herstellung eines direkten Kontaktes werden erzeugt (Fig. 2).

Ein Teil des SiN-Filmes 13, der zu dem Kontaktloch 16 freiliegt, wird durch RIE (Ionenätzen) entfernt, und Polysilizium wird auf der gesamten Oberfläche aufgetragen, um das Kontaktloch 16 mit einem Polysiliziumfilm 18a zu füllen. Ein WSi-Film 18b wird auf dem Polysiliziumfilm 18a gebildet, um einen Polycid-Draht 18 (Polycid-Schicht 8) zu erzeugen, der als Bitleitungen des Speicherzellenabschnittes verwendet werden wird. Danach wird ein SiO<sub>2</sub>-Film 19 auf der gesamten Oberfläche durch die Atmosphärendruck-CVD-Methode erzeugt (Fig. 3).

Nach dem Ätzen des Polycid-Drahtes 18 in ein gewünschtes Muster wird ein Zwischenniveau- bzw. Zwischenpegel-Isolierfilm 21 auf der gesamten Oberfläche erzeugt, um die Oberfläche flach zu machen. Sodann wird ein Kontaktloch in dem Isolierfilm 21 in dem Speicherzellenabschnitt gebildet, ein SiN-Film 22 wird auf der gesamten Oberfläche erzeugt, und ein LP-BPSG-Film 24 wird zwischen die Bitleitungen des Zellenabschnittes gefüllt. Danach wird ein Resist 23 gebildet, und der Kontakt des Speicherkondensatorabschnittes wird geöffnet. Danach wird der SiN-Film 22 durch RIE entfernt (Fig. 4).

Nach Auftragen von Polysilizium wird dieses geätzt, um eine Polysilizium-Säule 25 zu bilden, die als eine Speicherelektrode in dem Speicherkondensatorabschnitt verwendet wird. In diesem Fall kann die Polysiliziumsäule 25 in rohrförmiger Gestalt erzeugt werden. Sodann wird ein Ta<sub>2</sub>O<sub>5</sub>-Film 26, der als ein Kondensatorisolierfilm verwendet wird, auf der Oberfläche der Polysiliziumsäule 25 erzeugt, ein TiN-Film 27, der als die erste Schicht der Plattenelektrode wirkt, wird auf der gesamten Oberfläche durch die CVD-Methode gebildet (Fig. 5).

Nachdem Kontaktlöcher 28 (erste Kontakte 7a) in dem Peripherieschaltungsabschnitt gebildet sind, wird ein W-Film 29, der als die zweite Schicht der Plattenelektrode wirkt, durch Ablagerung gebildet. Danach werden der TiN-Film 27 und der W-Film 29 durch RIE (reaktives Ionenätzen) gemustert, um einen Plattenelektroden Draht (erste Metallschicht 6a) zu erzeugen (Fig. 6).

Danach wird ein Zwischenniveau- bzw. Zwischenpegel-Isolierfilm 31 auf der gesamten Oberfläche erzeugt, um die Oberfläche flach zu machen, und es wird ein Kontaktloch 32 gebildet. Ein W-Film 33 wird in dem Kontaktloch durch selektives Aufwachsen erzeugt, um das Kontaktloch 32 zu füllen. Dann wird eine Verdichtungsschicht (erster Al-Draht (zweite Metallschicht) 6b) des TiN-Filmes 34 und Al-Filmes 35 erzeugt (Fig. 7).

Obwohl dies in der Zeichnung nicht dargestellt ist, werden in folgenden Schritten eine Ablagerung eines Zwischenpegel-Isolierfilmes, eine Bildung von Durchgangslöchern, ein selektives Aufwachsen von W, eine Bildung einer TiN/Al-Schicht (zweiter Al-Draht) und eine Bildung eines Passivierfilmes bewirkt, um einen DRAM fertigzustellen.

Indem in der oben beschriebenen Weise hergestellten DRAM ist die Tiefe der Kontakte der ersten Al-Drähte 34, 35 nicht durch eine Entfernung zu dem Substrat 10 bestimmt, sondern durch eine Entfernung zu tieferliegenden Elektrodendrähten 27, 29 festgelegt und kann so flachgemacht werden. Daher kann eine Verbindung zwischen den ersten Al-Drähten 34, 35 und dem Sub-

strat 10 einfach hergestellt werden. Die Elektrodendrähte 27, 29 sind an sich notwendige Verdrahtungsschichten, und es ist nicht erforderlich, neue Schichten zur Bildung der Verdrahtungsschichten zu erzeugen, so daß die obige Struktur ohne Vergrößerung der wesentlichen Anzahl von Schritten realisiert werden kann. Daher kann in der Struktur, in der die Speicherelektrode in rohrförmiger Gestalt ausgeführt ist, um die Speicherkapazität zu erhöhen, der Kontakt zwischen dem ersten Al-Draht und der tieferen Schicht oder dem Substrat in dem Peripherieschaltungsabschnitt stabil erhalten werden, und die Herstellungsausbeute sowie die Zuverlässigkeit können gesteigert werden.

Da in dem ersten Ausführungsbeispiel die aktive Zone derart angeordnet ist, daß eine Wortleitung durch einen Raum zwischen den benachbarten Bitleitungskontakten verläuft, wie dies in den Fig. 1A und 1B gezeigt ist, können die Kontaktabschnitte der Speicherelektroden voneinander mit einer Entfernung der Mindestverarbeitungsabmessung getrennt werden. Daher kann der Herstellungsprozeß einfach ausgeführt werden.

Die Fig. 8A und 8B sind Draufsichten, die die schematische Struktur eines DRAM nach einem zweiten Ausführungsbeispiel der Erfindung zeigen. Fig. 8A zeigt einen Speicherzellenabschnitt, während in Fig. 8B ein Beispiel eines Peripherieschaltungsabschnittes dargestellt ist. Einander entsprechende Teile sind in den Fig. 8A und 8B mit den gleichen Bezugszeichen wie in den Fig. 1A und 1B versehen und werden nicht näher erläutert.

Schnitte zur Erläuterung der Schritte bei dem zweiten Ausführungsbeispiel sind in den Fig. 9 bis 14 gezeigt. Der linke Teil in jeder der Fig. 9 bis 14 entspricht dem Schnitt entlang der Linie C-C' in Fig. 8A, und der rechte Teil ist dem Schnitt entlang der Linie D-D' in Fig. 8B zugeordnet. In den Fig. 9 bis 14 sind einander entsprechende Teile mit den gleichen Bezugszeichen wie in den Fig. 2 bis 7 versehen und werden nicht näher erläutert.

Wie im ersten Ausführungsbeispiel wird ein Elementtrennisolierfilm 11 auf einem Si-Substrat 10 erzeugt, und sodann werden eine Gateelektrode 12, ein SiN-Film 13, Polysilizium-Pfropfen 14 nacheinander erzeugt. Danach wird eine LP-BPSG-Schicht gebildet, um die Oberfläche eben zu machen, und Kontaktlöcher 16 für direkten Kontakt werden erzeugt. Zu dieser Zeit werden anders als beim ersten Ausführungsbeispiel die Kontaktlöcher 16 in der gesamten aktiven Zone gebildet (Fig. 9).

Wie beim ersten Ausführungsbeispiel wird ein Polycid-Draht 18 gebildet, und ein SiO<sub>2</sub>-Film 19 wird auf dem Draht erzeugt (Fig. 10).

Wie im ersten Ausführungsbeispiel wird danach der Polycid-Draht 18 in ein gewünschtes Muster geätzt, und Speicherelektrodenabschnitt-Kontakte werden gebildet (Fig. 11).

Wie im ersten Ausführungsbeispiel wird eine Polysilizium-Säule 25 erzeugt, und ein Ta<sub>2</sub>O<sub>5</sub>-Film 26, der als ein Kondensatorisolierfilm verwendet wird, sowie ein TiN-Film 27, der als die erste Schicht der Plattenelektrode verwendet wird, werden gebildet (Fig. 12).

Nachdem Kontaktlöcher 28 in dem Peripherieschaltungsabschnitt erzeugt wurden, wird ein W-Film 29, der als die zweite Schicht der Plattenelektrode verwendet wird, gebildet (Fig. 13).

Nach Musterung des W-Filmes 29 und des TiN-Filmes 27 wird ein Zwischenpegel- bzw. Zwischenniveau-Isolierfilm 31 erzeugt, um die Oberfläche flach zu machen. Dann wird ein Kontaktloch 32 in der Zwischenpegel-Isolierschicht 11 erzeugt, und ein W-Film 33 wird

gebildet, um das Kontaktloch 32 zu füllen. Danach werden eine Verdrahtungsschichtung (erster Al-Draht) eines TiN-Filmes 34 und eines Al-Filmes 35 gebildet (Fig. 14).

5 Mit der obigen Struktur kann die gleiche Wirkung wie beim ersten Ausführungsbeispiel erzielt werden, und es kann ein Vorteil erhalten werden, daß die Tiefe des durch die Elektrodendrähte 27 und 29 gebildeten Kontaktes in dem Peripherieschaltungsabschnitt flach gemacht werden kann.

Die Fig. 15 und 16 sind Schnitte zur Erläuterung des Herstellungsprozesses einer Halbleitervorrichtung nach einem dritten Ausführungsbeispiel der Erfindung. In den Fig. 15 und 16 sind einander entsprechende Teile mit den gleichen Bezugszeichen wie in den Fig. 2 bis 7 versehen, so daß von einer näheren Erläuterung abgesehen werden kann.

In dem dritten Ausführungsbeispiel ist der Draht 29 des ersten Ausführungsbeispiels hergestellt, indem W in das Kontaktloch gefüllt wird.

Das heißt, ein Teil des Prozesses in diesem Ausführungsbeispiel ist gleich wie der Prozeß bis zu dem Schritt von Fig. 5 in dem ersten Ausführungsbeispiel. Nach diesem Prozeß wird der Schritt des Füllens und 25 Aufwachsens des W-Filmes 29 in dem Kontaktloch 28 bewirkt (Fig. 15). Dann werden ähnlich wie beim ersten Ausführungsbeispiel die Bildung eines Zwischenpegel- bzw. Zwischenniveau-Isolierfilmes 31 und ein selektives Wachstum eines W-Filmes 33 in dem Kontaktloch 32 bewirkt, und eine Verdrahtungsschicht (erster Al-Draht) eines TiN-Filmes 34 und eines Al-Filmes 35 wird erzeugt (Fig. 16).

Die Fig. 17 und 18 sind Schnittdarstellungen zur Erläuterung des Herstellungsprozesses einer Halbleitervorrichtung nach einem vierten Ausführungsbeispiel der Erfindung. In den Fig. 17 und 18 sind einander entsprechende Teile mit den gleichen Bezugszeichen wie in den Fig. 9 bis 14 versehen und werden daher nicht näher erläutert.

In dem vierten Ausführungsbeispiel wird der Draht 29 des zweiten Ausführungsbeispiels durch Füllen von W in das Kontaktloch hergestellt.

Das heißt, ein Teil des Prozesses in diesem Ausführungsbeispiel ist gleich wie der Prozeß bis zu dem Schritt von Fig. 12 in dem zweiten Ausführungsbeispiel. Nach diesem Prozeß wird der Schritt des Füllens und Aufwachsens des W-Filmes 29 in dem Kontaktloch 28 bewirkt (Fig. 17). Dann werden wie im zweiten Ausführungsbeispiel die Bildung eines Zwischenpegel- bzw. Zwischenpegel-Isolierfilmes 31 und ein selektives Wachsen eines W-Filmes 33 in dem Kontaktloch 32 bewirkt, und eine Verdrahtungsschicht (erster Al-Draht) eines TiN-Filmes 34 und eines Al-Filmes 35 wird erzeugt (Fig. 18).

Die Fig. 19 und 20 sind Schnittdarstellungen zur Erläuterung des Herstellungsprozesses einer Halbleitervorrichtung nach einem fünften Ausführungsbeispiel der Erfindung. In den Fig. 19 und 20 sind einander entsprechende Teile mit den gleichen Bezugszeichen wie in den Fig. 2 bis 7 versehen und werden daher nicht näher erläutert.

In dem fünften Ausführungsbeispiel ist ein Beispiel, bei dem lediglich der W-Film 29 des Plattenelektroden-drahtes als ein Draht der Peripherieschaltung verwendet wird, gezeigt.

Das heißt, ein Teil des Prozesses in diesem Ausführungsbeispiel ist gleich wie der Prozeß bis zu dem Schritt von Fig. 5 in dem ersten Ausführungsbeispiel.

Nach diesem Prozeß wird ein TiN-Film 27 verarbeitet, um lediglich den Speicherzellenabschnitt zu bedecken, ein Kontaktloch 28 wird gebildet, ein W-Film 29 wird erzeugt, und dann wird der W-Film 29 in ein Drahtmuster bzw. Verdrahtungsmuster verarbeitet (Fig. 19). Dann werden ähnlich wie beim ersten Ausführungsbeispiel die Bildung eines Zwischenpegel- bzw. Zwischen-niveau-Isolierfilmes 31 und ein selektives Wachstum eines W-Filmes 33 in dem Kontaktloch 32 bewirkt, und eine Verdrahtungsschicht (erster Al-Draht) eines TiN-Filmes 34 und eines Al-Filmes 35 wird erzeugt (Fig. 20).

Die Fig. 21A und 21B zeigen den schematischen Aufbau eines sechsten Ausführungsbeispiels der Erfindung. Die Fig. 21A ist eine Draufsicht, und die Fig. 21B ist eine Schnittdarstellung. Das sechste Ausführungsbeispiel zeigt ein Beispiel, bei dem ein Scheinmuster verwendet wird, um eine Substratschicht flach zu machen.

Erste Kontaktlöcher 7a werden in den Source/Drain-Abschnitten erzeugt, und ein Polysiliziumfilm wird voll in die Source/Drain-Zonen gefüllt. Ein Polycid-Draht 18 (Polycid-Schicht 8) wird gemustert, um die Source/Drain-Abschnitte zu bedecken. In dem großen Trennbereich wird ein Scheinmuster 51 des Polycid-Drahtes 18 angeordnet, so daß ein freier Raum zwischen den Musterteilen nicht 1 bis 2 µm überschreitet. Zweite Kontakte 7b werden auf den jeweiligen Polycid-Drähten 18 erzeugt, um die Elektrodendrähte 27, 29 (erste Metall-drähte 6a) und die Polycid-Drähte 18 zu verbinden. Ähnlich dem Polycid-Draht 18 wird ein Scheinmuster 52 der ersten Metalldrähte 6a derart gebildet, daß ein großer freier Raum (1 bis 2 µm) nicht vorgesehen ist.

Wie oben erläutert wurde, kann in dem sechsten Ausführungsbeispiel die Substratschicht auf einfache Weise flach gemacht werden, indem die Scheinmuster 51, 52 gebildet werden, und die Zuverlässigkeit des oberen Schichtdrahtes (der oberen Verdrahtungsschicht) kann verbessert werden.

Die Fig. 22 ist ein Schnitt, die die schematische Struktur eines siebten Ausführungsbeispiels der Erfindung zeigt. Fig. 7 zeigt ein Beispiel dar, bei dem Zellenbitleitungen über dem Speicherkondensatorabschnitt gebildet werden.

Die Source/Drain-Abschnitte sind mit Schaltungsdrähten mittels der Plattenelektrodenschichten 27, 29 des Speicherkondensatorabschnittes verbunden, und Drähte der ersten Metallschichten 55, die als die Zellenbitleitungen verwendet werden, sind alle mit den Drähten der Elektrodenschichten 27, 29 verbunden.

Fig. 23 ist eine Schnittdarstellung, die die schematische Struktur eines achten Ausführungsbeispiels der Erfindung zeigt. In dem achten Ausführungsbeispiel wird, um eine stabile Isolation zwischen dem Polysilizium-Pfropfen 14 des Speicherzellenabschnittes in dem siebten Ausführungsbeispiel und den Elektrodenschichten 27, 29 zu erhalten, ein Isolierfilm 57 mit feiner Struktur, beispielsweise aus Si<sub>3</sub>N<sub>4</sub> gebildet, um die Seitenfläche des Polysilizium-Pfropfens zu umgeben.

In dem obigen Ausführungsbeispiel ist es wünschenswert, polykristallines Silizium, TiN, Ni oder Kohlenstoff als die erste Schicht des Drahtes zu verwenden, der aus der gleichen Schicht wie die obere Elektrode gebildet ist, und WSi<sub>2</sub>, W, Ni, Al, Cu oder TiN/W, TiN/Al, TiN/Cu, Ti/TiN/W, Ti/TiN/Al, Ti/TiN/Cu, TiSi<sub>2</sub>/TiN/W, TiSi<sub>2</sub>/TiN/Al, TiSi<sub>2</sub>/TiN/Cu, TiB/W, TiB/Al, TiB/Cu, Ti/TiB/Al, Ti/TiB/W, Ti/TiB/Cu, TiSi<sub>2</sub>/TiB/W, TiSi<sub>2</sub>/TiB/Al, TiSi<sub>2</sub>/TiB/Cu als die zweite Schicht vorzusehen.

Weiterhin ist es in jedem der obigen Ausführungsbeispiele vorzusehen, den Speicherkondensatorabschnitt

über den Zellenbitleitungen vorzusehen und den Draht mit der gleichen Pegel- bzw. Niveauschicht wie die Zellenbitleitung in einem derartigen Muster zu erzeugen, daß die Source- und Drain-Zonen in den Peripherieschaltungsabschnitten überdeckt sind.

In jedem der obigen Ausführungsbeispiele ist es auch vorzuziehen, die Bitleitungsdrähte in einem derartigen Muster zu erzeugen, daß ein Abstand bzw. freier Raum zwischen den Musterteilen nicht ungefähr 1 µm überschreitet.

Zusätzlich ist es in jedem der obigen Ausführungsbeispiele wünschenswert, den Draht mit der gleichen Pegel- bzw. Niveau-Schicht als die obere Elektrode des Speicherkondensators in einem derartigen Muster zu erzeugen, daß der größte Abstand zwischen den Musterteilen auf ungefähr 1 µm eingestellt ist.

Weiterhin ist es in jedem der obigen Ausführungsbeispiele wünschenswert, die aktive Zone derart anzuordnen, daß eine Wortleitung zwischen den benachbarten Bitleitungskontakten in einem Fall angeordnet sein kann, in welchem der Speicherkondensatorabschnitt des dynamischen RAM nach Bildung der Wortleitungen erzeugt ist.

#### Patentansprüche

1. Halbleiterspeichervorrichtung, mit:  
einem Halbleitersubstrat (10) und wenigstens einem Speicherzellenabschnitt mit einer Vielzahl von Speicherzellen, deren jede aus einem Kondensator mit einer oberen Elektrode, einer unteren Elektrode und einer zwischenlegenden Kondensator-Isolierschicht und einem MOS-Transistor auf dem Halbleitersubstrat (10) gebildet ist, gekennzeichnet durch einen Peripherieschaltungsabschnitt, der auf dem Halbleitersubstrat (10) in einem Bereich gebildet ist, der von einem Bereich verschieden ist, in welchem der Speicherzellenabschnitt gebildet ist, und eine Verdrahtungsschicht (27, 29), die als die obere Elektrode des Kondensators verwendet und als ein Draht (Verdrahtung) des Peripherieschaltungsabschnittes benutzt ist.
2. Halbleiterspeichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Verdrahtungsschicht (27, 29) eine erste Verdrahtungsschicht (27) und eine zweite Verdrahtungsschicht (29) umfaßt, daß die erste Verdrahtungsschicht (27) aus einem der Stoffe polykristallines Silizium, TiN, Ni und Kohlenstoff gebildet ist, und daß die zweite Verdrahtungsschicht (29) aus einem der Stoffe WSi<sub>2</sub>, W, Ni, Al und Cu gebildet ist oder aus einer Mehrschicht besteht, die aus einem der Stoffe TiN/W, TiN/Al, TiN/Cu, Ti/TiN/W, Ti/TiN/Al, Ti/TiN/Cu, TiSi<sub>2</sub>/TiN/W, TiSi<sub>2</sub>/TiN/Al, TiSi<sub>2</sub>/TiN/Cu, TiB/W, TiB/Al, TiB/Cu, Ti/TiB/Al, Ti/TiB/W, Ti/TiB/Cu, TiSi<sub>2</sub>/TiB/W, TiSi<sub>2</sub>/TiB/Al und TiSi<sub>2</sub>/TiB/Cu gewählt ist.
3. Halbleiterspeicheranordnung nach Anspruch 1, dadurch gekennzeichnet, daß eine als der Draht des Peripherieschaltungsabschnittes verwendete Verdrahtungsschicht in einem Drahtmuster gebildet wird, wobei ein maximaler Abstand zwischen den Musterteilen auf kleiner als ungefähr 1 µm eingestellt ist.
4. Halbleiterspeicheranordnung mit:  
einem Halbleitersubstrat (10) und wenigstens einem Speicherzellenabschnitt mit ei-

ner Vielzahl von Speicherzellen, deren jede aus einem auf dem Halbleitersubstrat (10) ausgeführten MOS-Transistor und einem Kondensator, der auf dem MOS-Transistor gebildet ist und eine obere Elektrode sowie eine über eine Isolierschicht (26) zu der oberen Elektrode entgegengesetzte untere Elektrode hat, gebildet ist, gekennzeichnet durch einen Peripherieschaltungsabschnitt, der eine untere Verdrahtungsschicht hat und auf dem Halbleitersubstrat (10) in einem Bereich gebildet ist, der von einem Bereich verschieden ist, in welchem der Speicherzellenabschnitt gebildet ist, eine erste Verdrahtungsschicht (27), die als die obere Elektrode des Kondensators auf der Isolierschicht (26) des Kondensators und dem Peripherieschaltungsabschnitt gebildet und mit dem tieferliegenden Draht des Peripherieschaltungsabschnittes und dem Halbleitersubstrat (10) verbunden ist, wobei der Peripherieschaltungsabschnitt Kontaktlöcher (28) hat, die selektiv gebildet sind, um einen Teil der ersten Verdrahtungsschicht (27) zu ätzen, und eine zweite Verdrahtungsschicht (29), die auf der ersten Verdrahtungsschicht (27) in den Kontaktlöchern (28) gebildet ist.

5. Halbleiterspeicheranordnung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Verdrahtungsschicht aus einem der Stoffe polykristallines Silizium, TiN, Ni und Kohlenstoff gebildet ist, und daß die zweite Verdrahtungsschicht (29) aus einem der Stoffe  $WSi_2$ , W, Ni, Al und Cu gebildet oder als Mehrfach-Schicht ausgeführt ist, die aus einem der Stoffe TiN/W, TiN/Al, TiN/Cu, Ti/TiN/W, Ti/TiN/Al, Ti/TiN/Cu,  $TiSi_2$ /TiN/W,  $TiSi_2$ /TiN/Al,  $TiSi_2$ /TiN/Cu, TiB/W, TiB/Al, TiB/Cu, Ti/TiB/Al, Ti/TiB/W, Ti/TiB/Cu,  $TiSi_2$ /TiB/W,  $TiSi_2$ /TiB/Al und  $TiSi_2$ /TiB/Cu gewählt ist.

6. Halbleiterspeicheranordnung nach Anspruch 4, dadurch gekennzeichnet, daß die auf dem Peripherieschaltungsabschnitt gebildete Verdrahtungsschicht ein Drahtmuster hat, das vollständig auf der zweiten Verdrahtungsschicht (29) bei einem Intervall von ungefähr höchstens 1  $\mu m$  gebildet ist.

7. Halbleiterspeicheranordnung mit: einem Halbleitersubstrat (10), wenigstens einem Speicherzellenabschnitt mit einer Vielzahl von Speicherzellen, deren jede aus einem auf dem Halbleitersubstrat (10) gebildeten MOS-Transistor und einem Kondensator, der auf dem MOS-Transistor gebildet ist und eine obere Elektrode sowie eine über eine Isolierschicht (26) zur oberen Elektrode entgegengesetzte untere Elektrode hat, besteht, gekennzeichnet durch einen Peripherieschaltungsabschnitt, der eine untere Verdrahtungsschicht hat, und auf dem Halbleitersubstrat (10) in einem Bereich gebildet ist, der von einem Bereich verschieden ist, in welchem der Speicherzellenabschnitt gebildet ist, und eine Verdrahtungsschicht (27, 29), die aus einer Vielzahl von Schichten einschließlich wenigstens einer ersten Verdrahtungsschicht (27) und einer zweiten Verdrahtungsschicht (29) besteht, wobei die Verdrahtungsschicht (27, 29) als die obere Elektrode des Kondensators auf der Isolierschicht (26) des Kondensators und dem Peripherieschaltungsabschnitt erzeugt ist und wobei der die zweite Ver-

drahtungsschicht (29) enthaltende obere Draht der zweiten Verdrahtungsschicht (29) mit dem tieferliegenden Draht des Peripherieschaltungsabschnittes und dem Halbleitersubstrat (10) verbunden ist.

8. Halbleiterspeicheranordnung nach Anspruch 7, dadurch gekennzeichnet, daß die erste Verdrahtungsschicht (27) aus einem der Stoffe polykristallines Silizium, TiN, Ni und Kohlenstoff gebildet ist, und daß die zweite Verdrahtungsschicht (29) aus einem der Stoffe  $WSi_2$ , W, Ni, Al und Cu gebildet ist oder als Mehrfach-Schicht ausgeführt ist, die aus einem der Stoffe TiN/W, TiN/Al, TiN/Cu, Ti/TiN/W, Ti/TiN/Al, Ti/TiN/Cu,  $TiSi_2$ /TiN/W,  $TiSi_2$ /TiN/Al,  $TiSi_2$ /TiN/Cu, TiB/W, TiB/Al, TiB/Cu, Ti/TiB/Al, Ti/TiB/W, Ti/TiB/Cu,  $TiSi_2$ /TiB/W,  $TiSi_2$ /TiB/Al und  $TiSi_2$ /TiB/Cu gewählt ist.

9. Halbleiterspeicheranordnung nach Anspruch 7, dadurch gekennzeichnet, daß der obere Draht, der die auf dem Peripherieschaltungsabschnitt gebildete Verdrahtungsschicht enthält, ein Drahtmuster hat, das vollständig auf der zweiten Verdrahtungsschicht (29) in einem Intervall von ungefähr höchstens 1  $\mu m$  gebildet ist.

10. Halbleiterspeicheranordnung nach Anspruch 1, 4 oder 7, dadurch gekennzeichnet, daß die Halbleiterspeichervorrichtung von einem Stapeltyp ist.

11. Halbleiterspeicheranordnung nach Anspruch 1, 4 oder 7, dadurch gekennzeichnet, daß der Speicherzellenabschnitt Zellenbitleitungen hat, auf welchen Kondensatoren gebildet sind, daß der Peripherieschaltungsabschnitt eine Verdrahtungsschicht hat, die zur gleichen Zeit wie die Zellenbitleitungen gebildet ist, und daß die Verdrahtungsschicht, die zur gleichen Zeit wie die Zellenbitleitungen gebildet ist, in einem Muster ausgeführt ist, um die Source/Drain-Zonen der MOS-Transistoren zu bedecken, die in dem Peripherieschaltungsabschnitt ausgeführt sind.

12. Halbleiterspeicheranordnung nach Anspruch 1, 4 oder 7, dadurch gekennzeichnet, daß der Speicherzellenabschnitt einen Bitleitungsdraht hat; der aus Drahtmestern besteht, die in einem Intervall von ungefähr höchstens 1  $\mu m$  ausgeführt sind.

13. Halbleiterspeicheranordnung nach Anspruch 1, 4 oder 7, dadurch gekennzeichnet, daß der Speicherzellenabschnitt Wortleitungen hat, die über der Vielzahl von Speicherzellen und einer Vielzahl von mit den Speicherzellen verbundenen Bitleitungskontakten angeordnet sind, und daß die Speicherzellen mit jeder der Wortleitungen so vorgesehen sind, daß diese zwischen zwei entsprechenden benachbarten Bitleitungskontakten in einem Fall liegen, in welchem der Kondensator nach Erzeugung der Wortleitungen gebildet ist.

14. Halbleiterspeicheranordnung nach Anspruch 1, 4 oder 7, dadurch gekennzeichnet, daß der Peripherieschaltungsabschnitt einen Meßverstärker und einen Zeilendecodierer umfaßt.

15. Halbleiterspeicheranordnung mit: einem Halbleitersubstrat (10), und einer ersten Zone mit wenigstens einem Speicherzellenabschnitt mit einer Vielzahl von Speicherzellen, deren jede aus einem auf dem Halbleitersubstrat (10) gebildeten MOS-Transistor und einem Kondensator, der auf dem MOS-Transistor gebildet ist und eine obere Elektrode, eine zur oberen Elektrode entgegengesetzte untere Elektrode und eine zwischenliegende Isolierschicht (26) hat, be-



- steht, gekennzeichnet durch  
eine zweite Zone, die in einem von der ersten Zone  
verschiedenen Bereich auf dem Halbleitersubstrat  
(10) gebildet ist und eine untere Verdrahtungs- 5  
schicht hat,  
eine erste Verdrahtungsschicht (27), die auf der Iso-  
lierschicht (26) des Kondensators als die obere  
Elektrode des Kondensators und auf der zweiten  
Zone gebildet und mit der unteren Verdrahtungs- 10  
schicht der zweiten Zone und dem Halbleitersub-  
strat (10) verbunden ist, wobei die zweite Zone ein  
Kontaktloch (28) hat, das so selektiv gebildet ist,  
daß es einen gewünschten Teil der Isolierschicht  
(26) der ersten Verdrahtungsschicht (27) des Kon- 15  
densators bedeckt, und  
eine auf der ersten Verdrahtungsschicht (27) und in  
dem Kontaktloch (28) gebildete zweite Verdrah-  
tungsschicht (29). 20
16. Halbleiterspeicheranordnung nach Anspruch  
15, dadurch gekennzeichnet, daß die erste Verdrah-  
tungsschicht (27) aus einem der Stoffe polykristalli-  
nes Silizium, TiN, Ni und Kohlenstoff gebildet ist,  
und daß die zweite Verdrahtungsschicht (29) aus 25  
einem der Stoffe  $WSi_2$ , W, Ni, Al und Cu gebildet  
ist oder aus einer Mehrfach-Schicht besteht, die aus  
einem der Stoffe TiN/W, TiN/Al, TiN/Cu, Ti/TiN/  
W, Ti/TiN/Al, Ti/TiN/Cu,  $TiSi_2$ /TiN/W,  $TiSi_2$ /TiN/  
Al,  $TiSi_2$ /TiN/Cu, TiB/W, TiB/Al, TiB/Cu, Ti/TiB/  
Al, Ti/TiB/W, Ti/TiB/Cu,  $TiSi_2$ /TiB/W,  $TiSi_2$ /TiB/Al 30  
und  $TiSi_2$ /TiB/Cu gewählt ist.
17. Halbleiterspeicheranordnung nach Anspruch  
15, dadurch gekennzeichnet, daß der obere Draht,  
der die zweite Verdrahtungsschicht (29) umfaßt, die  
auf dem Peripherieschaltungsabschnitt gebildet ist, 35  
ein Drahtmuster hat, das auf der zweiten Verdrah-  
tungsschicht (29) in einem Intervall von ungefähr  
höchstens  $1\ \mu m$  gebildet ist.
18. Halbleiterspeicheranordnung nach Anspruch  
15, dadurch gekennzeichnet, daß die Halbleiter- 40  
speichervorrichtung von einem Stapeltyp ist.
19. Halbleiterspeicheranordnung nach Anspruch  
15, dadurch gekennzeichnet, daß der Speicherzel-  
lenabschnitt Zellenbitleitungen hat, auf denen Kon-  
densatoren gebildet sind, daß die zweite Zone eine 45  
Verdrahtungsschicht hat, die zur gleichen Zeit wie  
die Zellenbitleitungen gebildet sind, und daß die  
Verdrahtungsschicht, die zur gleichen Zeit wie die  
Bitleitungen gebildet ist, in einem Muster erzeugt  
ist, um die Source/Drain-Zonen der MOS-Transi- 50  
storen zu bedecken, die in der zweiten Zone gebil-  
det sind.
20. Halbleiterspeicheranordnung nach Anspruch  
15, dadurch gekennzeichnet, daß der Speicherzel-  
lenabschnitt einen Bitleitungsdraht hat, der aus 55  
Drahtmustern gebildet ist, die in einem Intervall  
von ungefähr höchstens  $1\ \mu m$  gebildet sind.
21. Halbleiterspeicheranordnung nach Anspruch  
15, dadurch gekennzeichnet, daß der Speicherzel-  
lenabschnitt Wortleitungen hat, die über der Viel- 60  
zahl von Speicherzellen und einer Vielzahl von mit  
den Speicherzellen verbundenen Bitleitungskon-  
takten angeordnet sind, und daß die Speicherzellen  
mit jeder der Wortleitungen derart angeordnet  
sind, daß diese zwischen entsprechenden zwei be- 65  
nachbarten Bitleitungskontakten in einem Fall lie-  
gen, in welchem der Kondensator nach Erzeugung  
der Wortleitungen gebildet ist.



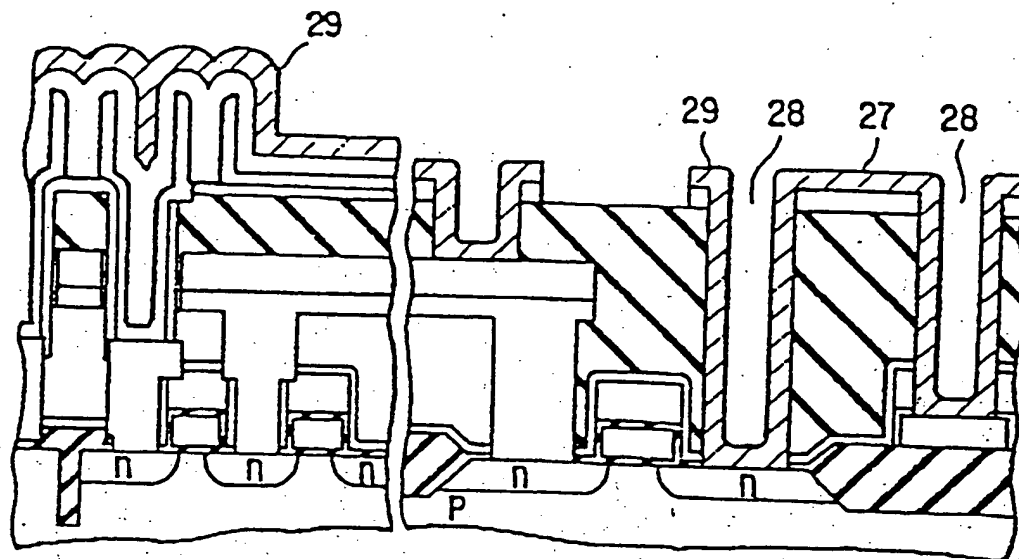


FIG. 6

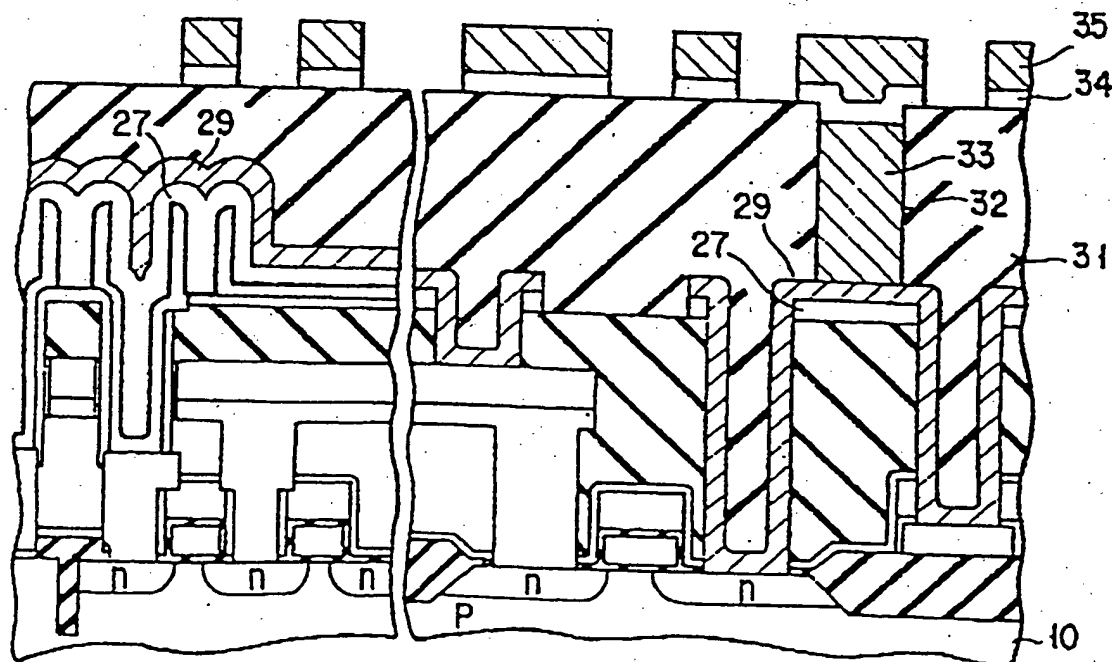
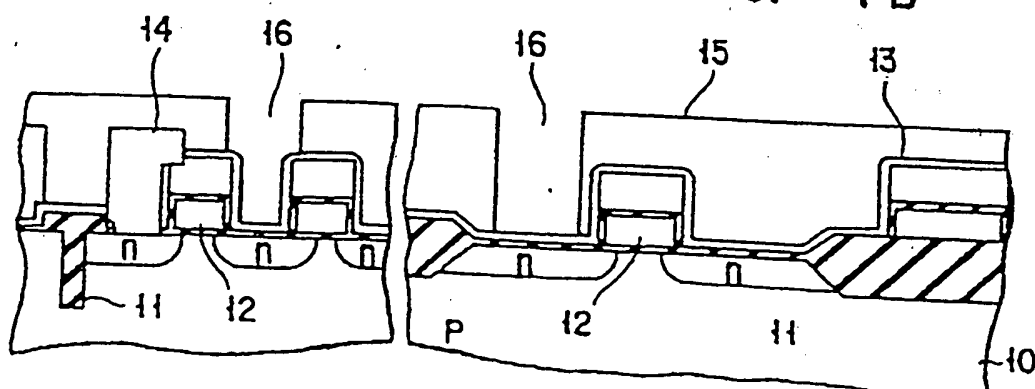
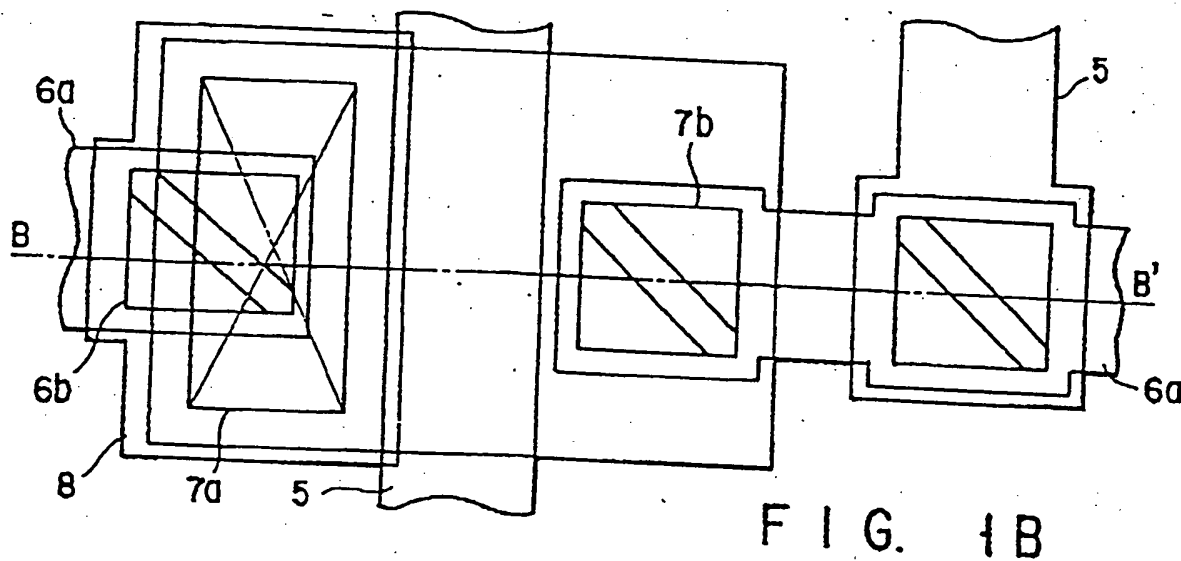
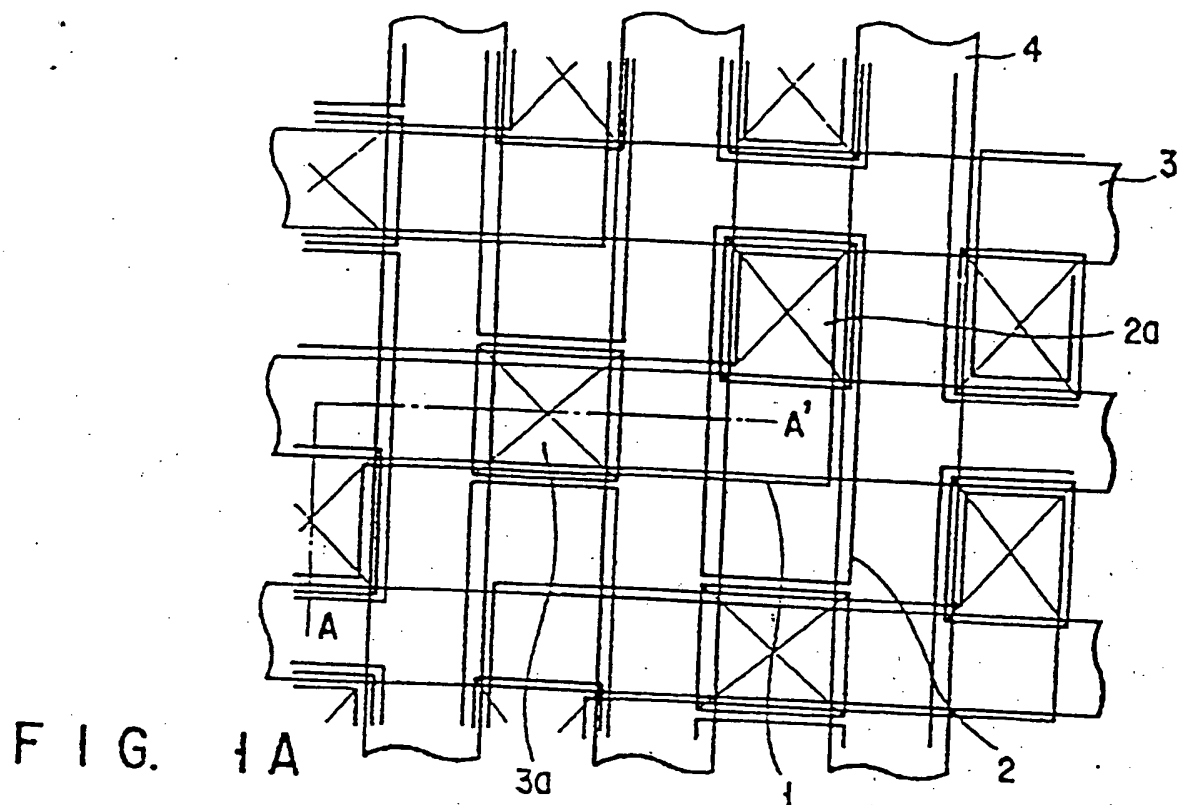


FIG. 7 X



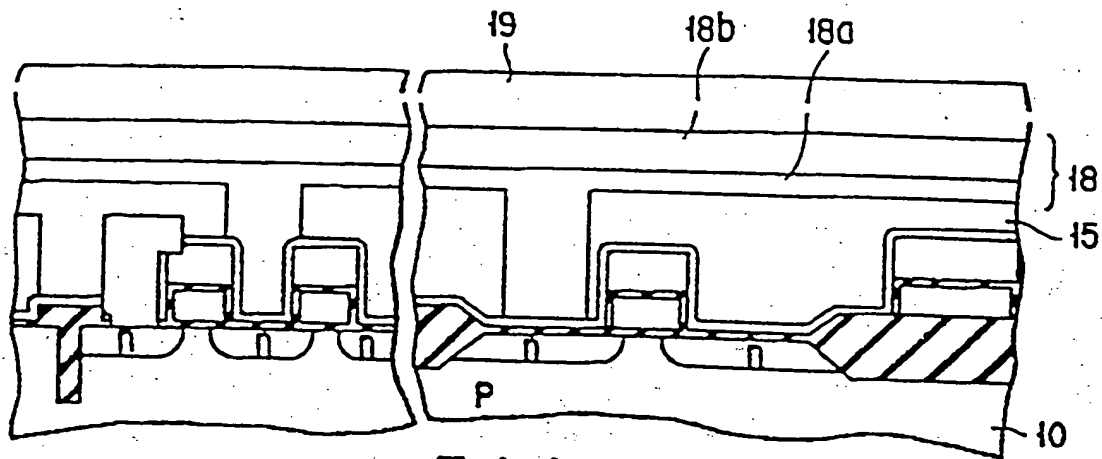


FIG. 3

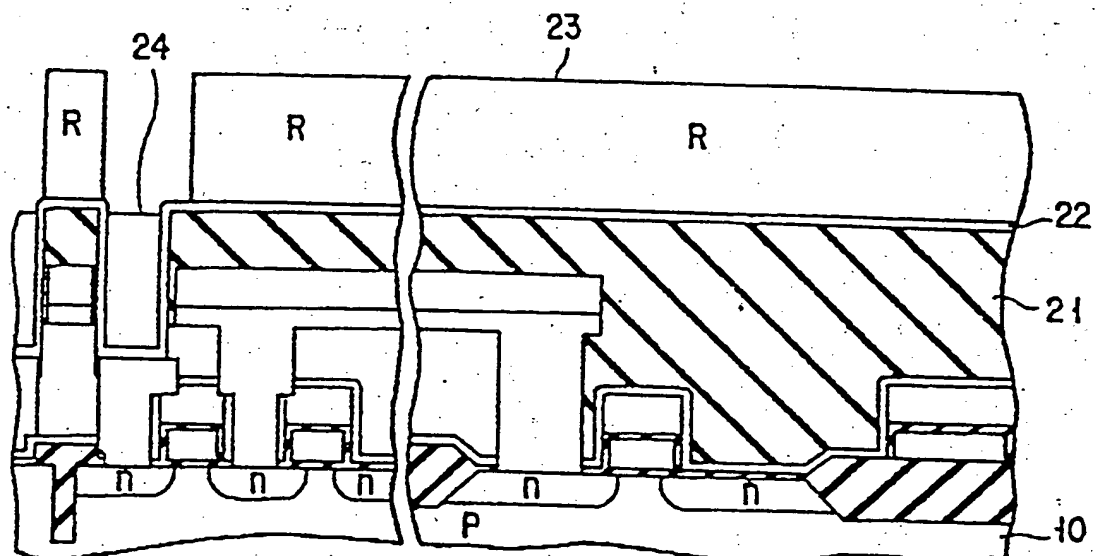


FIG. 4

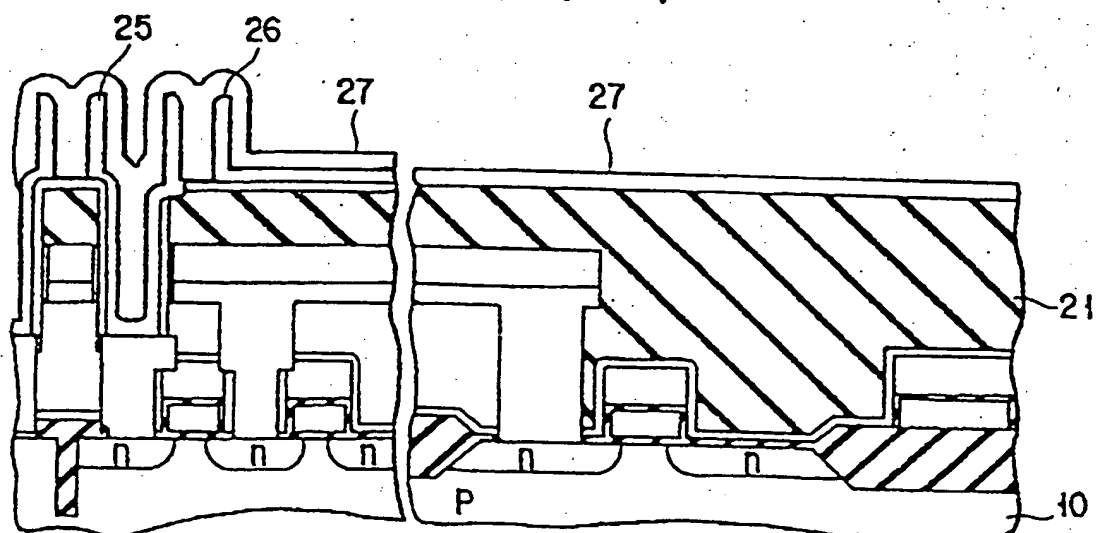


FIG. 5

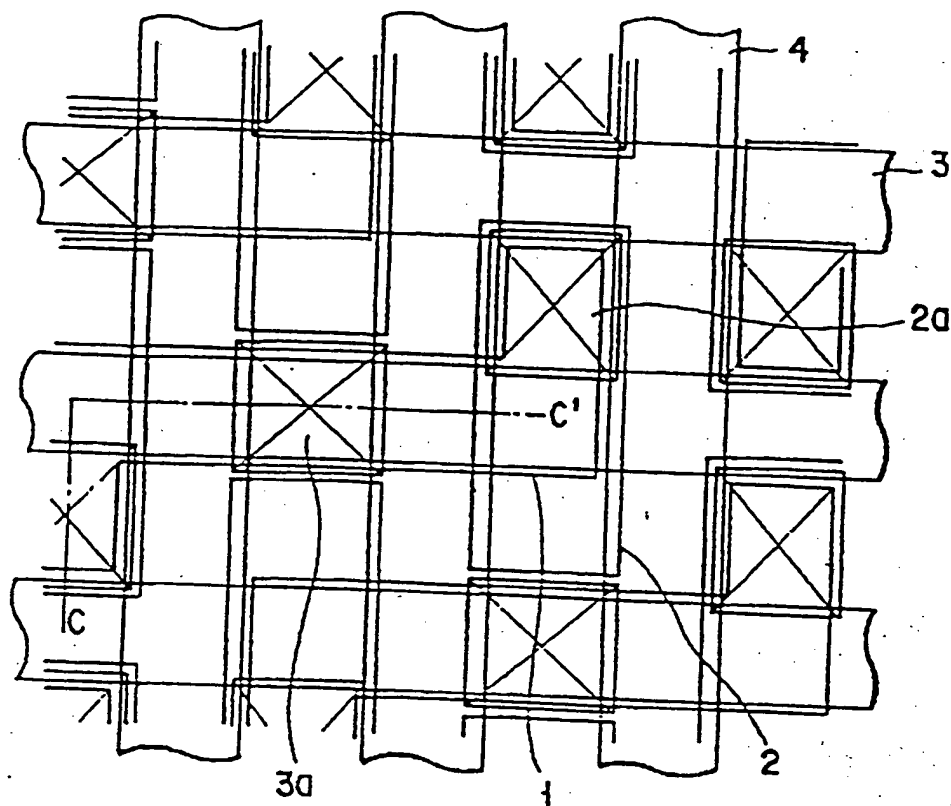


FIG. 8A

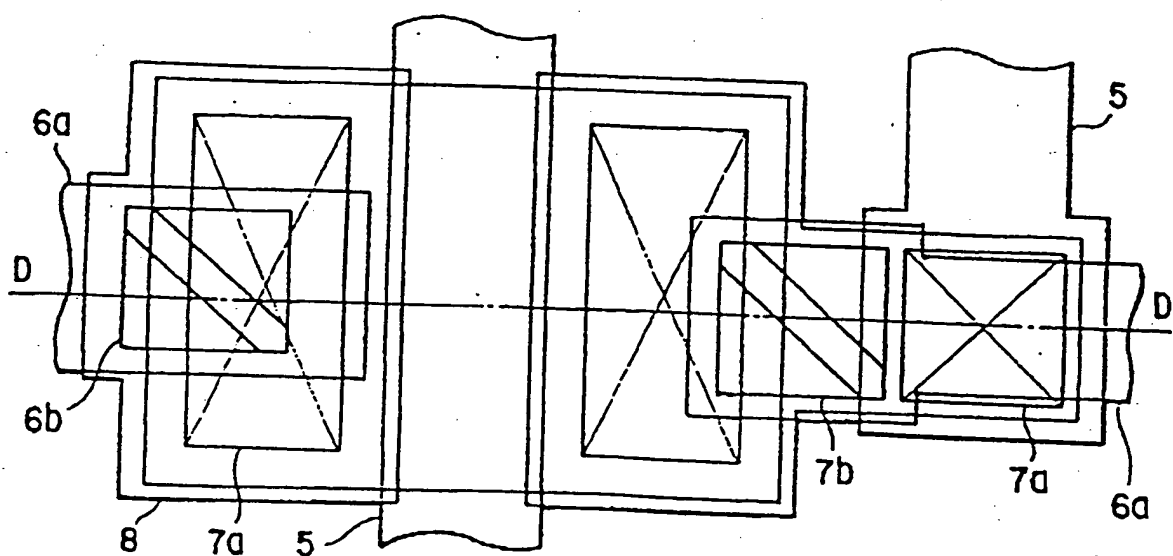


FIG. 8B

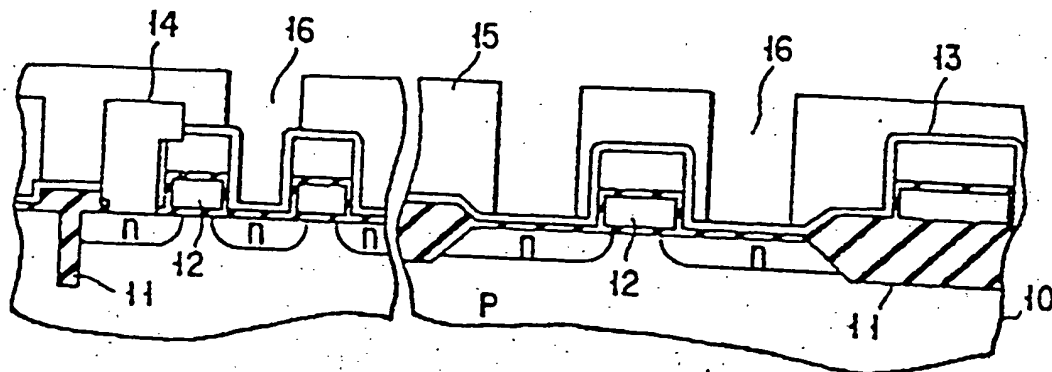


FIG. 9

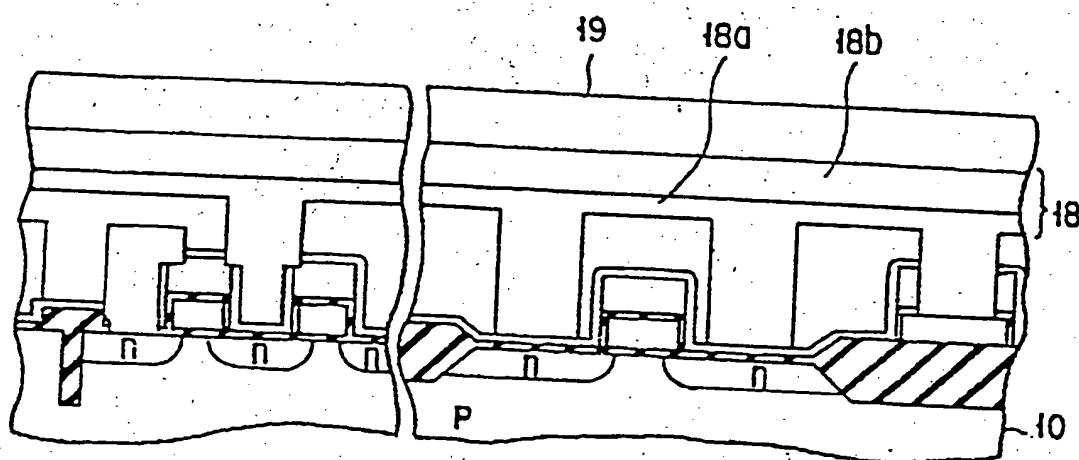


FIG. 10

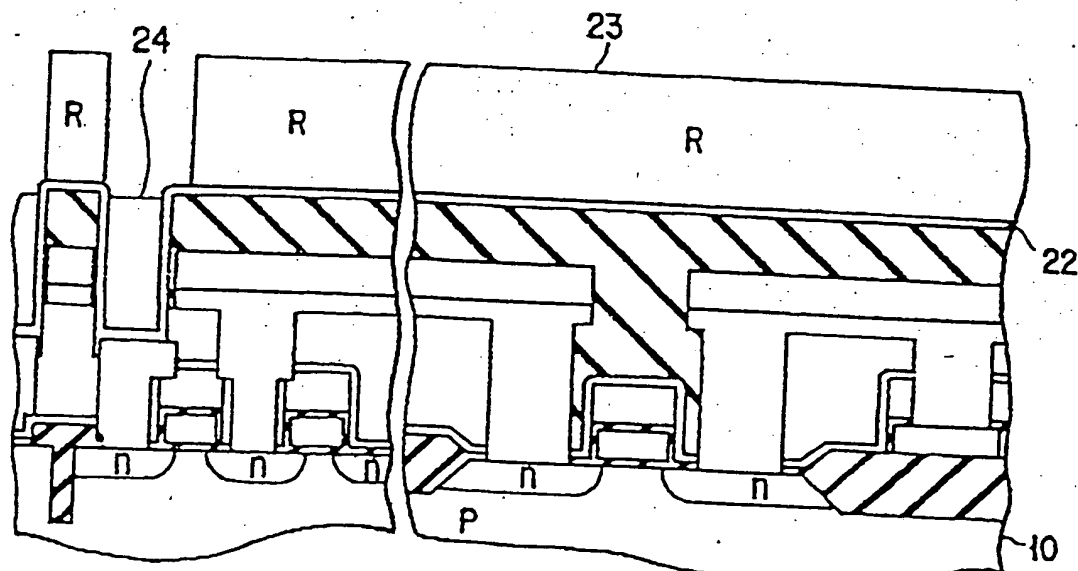


FIG. 11

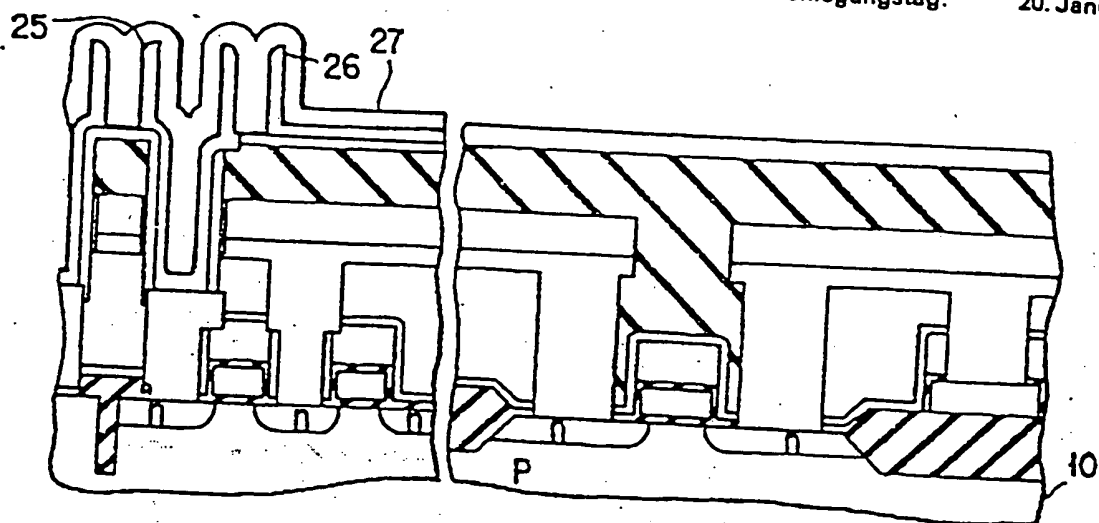


FIG. 12

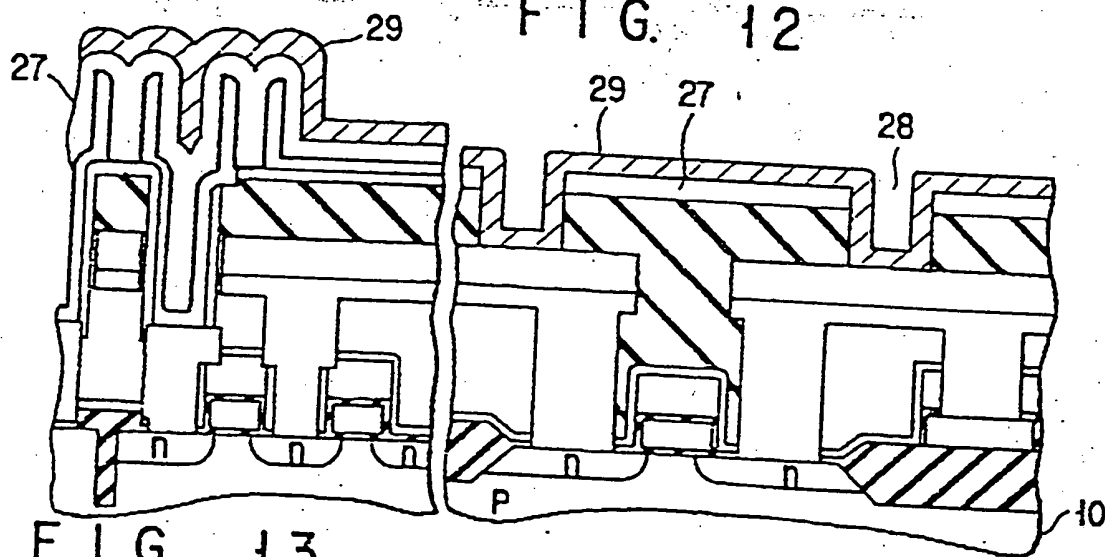


FIG. 13

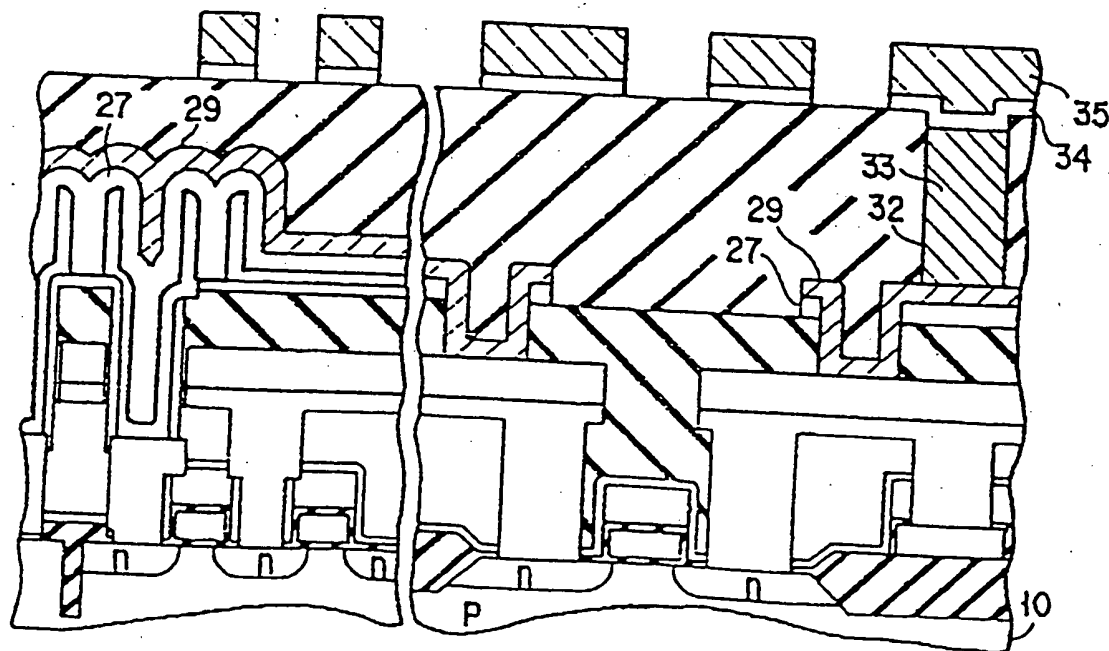


FIG. 14

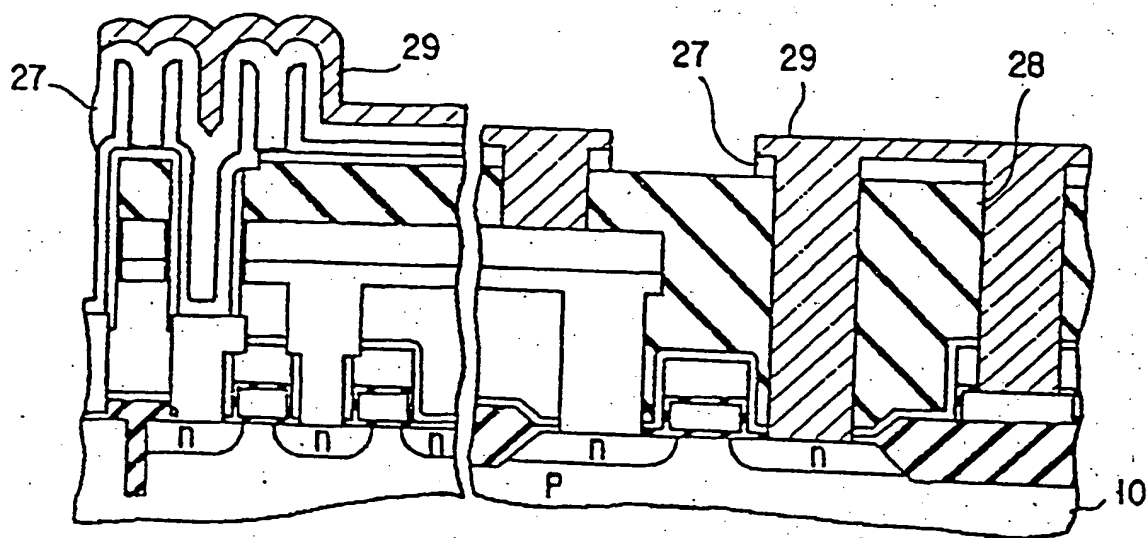


FIG. 15

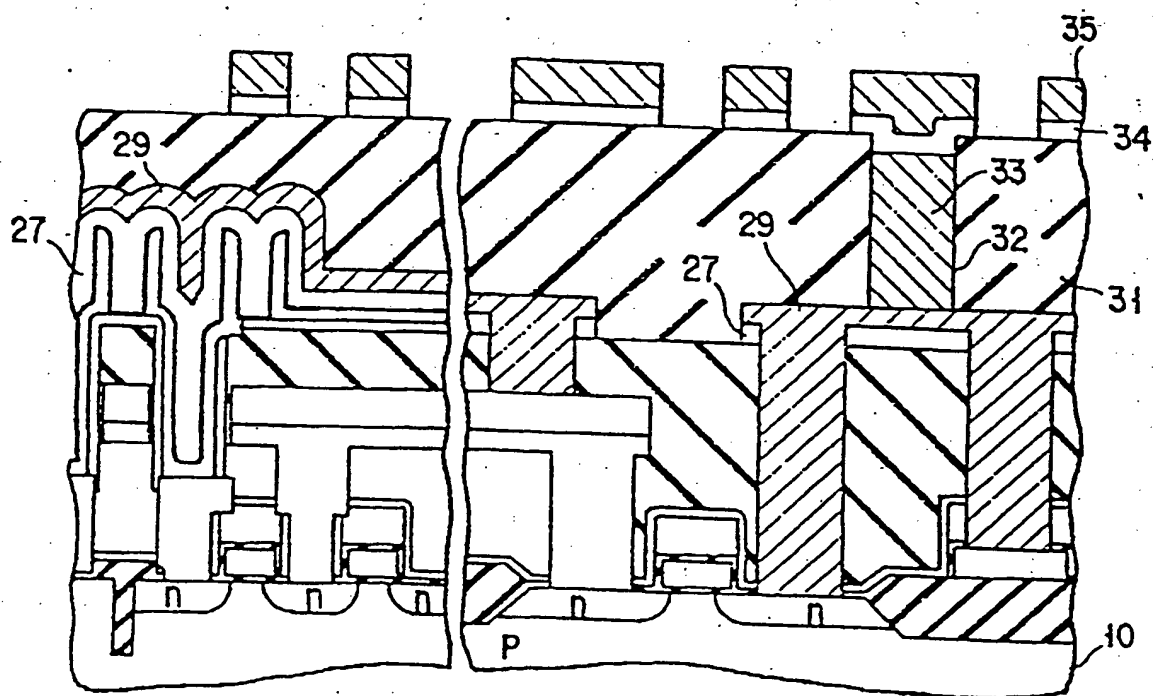


FIG. 16



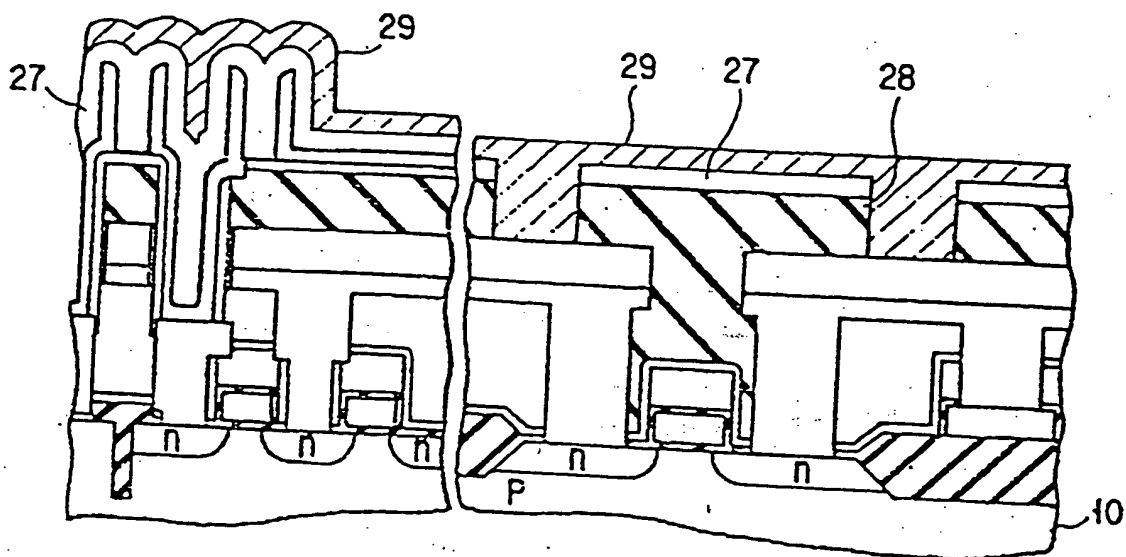


FIG. 17

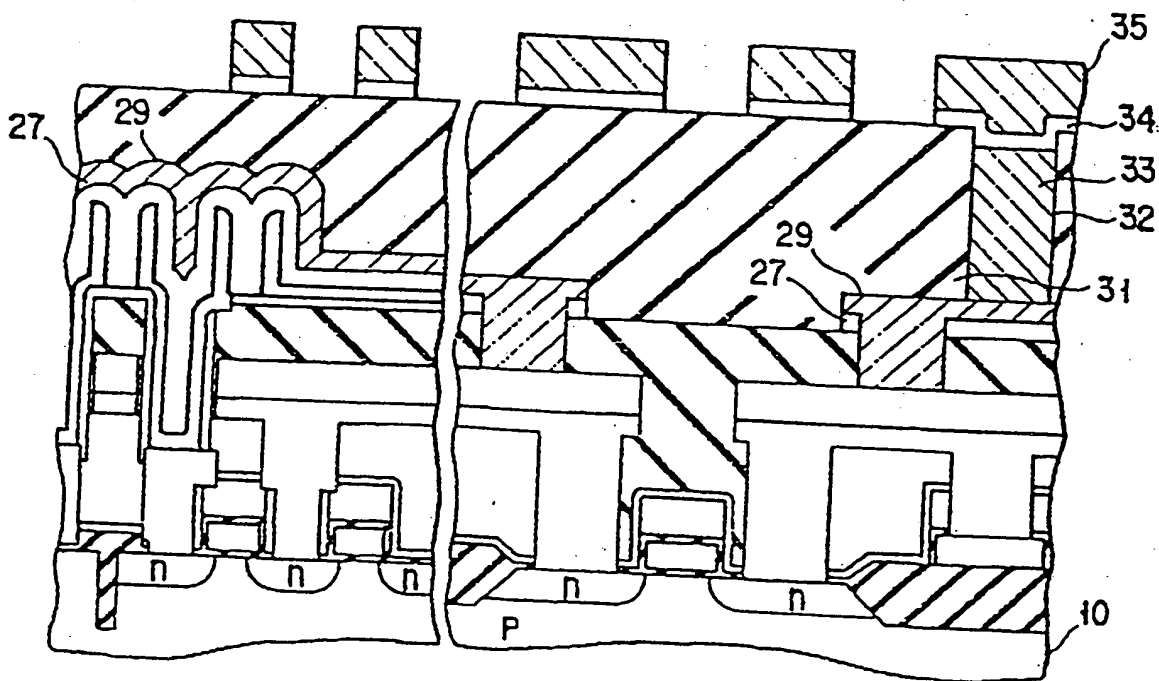


FIG. 18

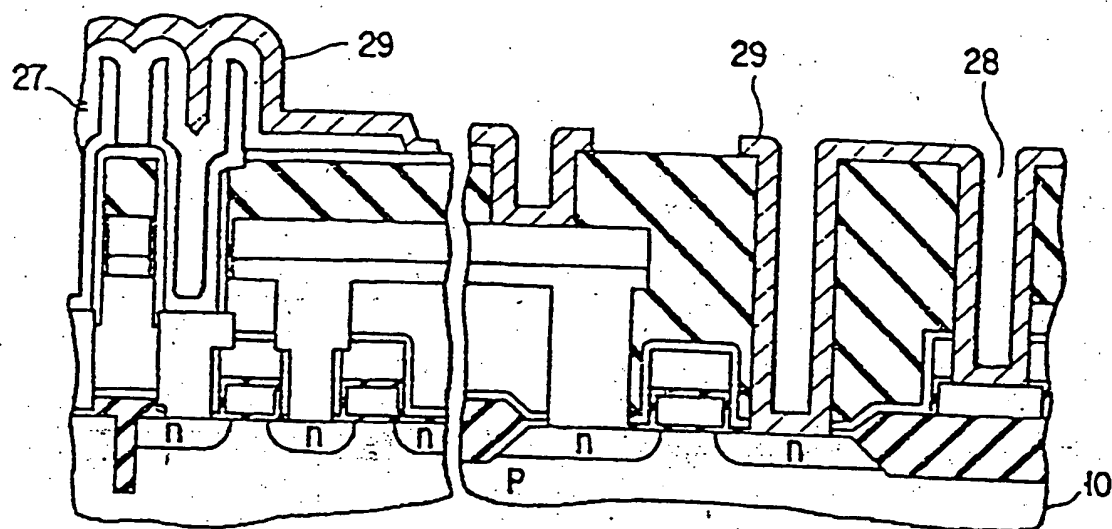


FIG. 19

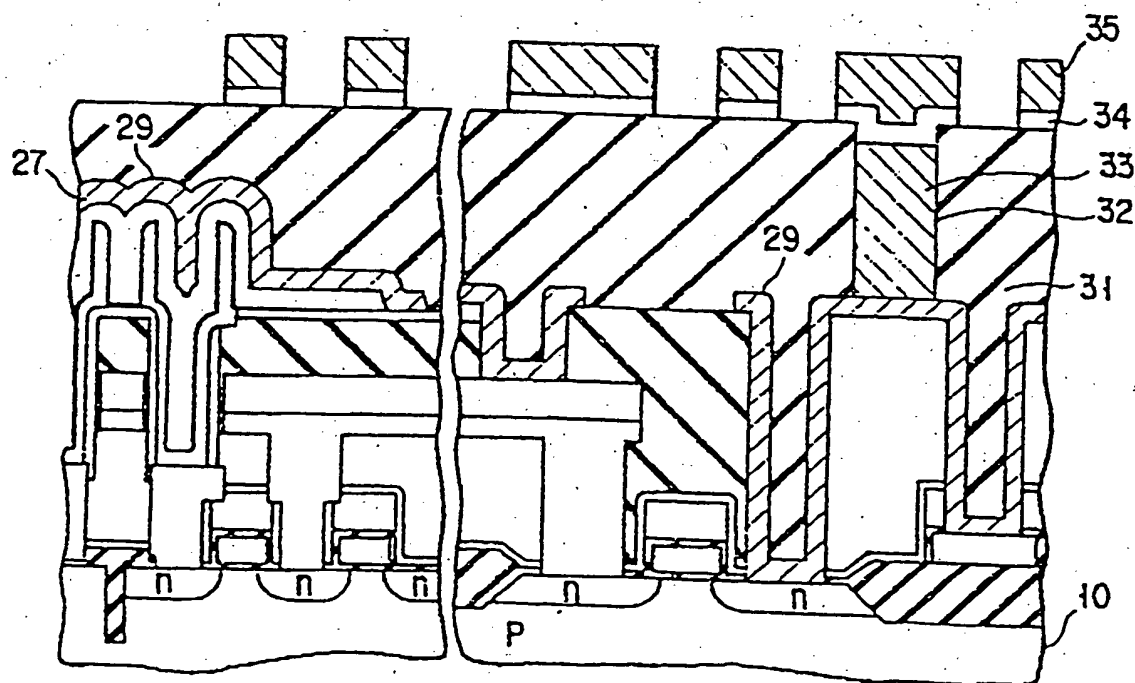


FIG. 20

Nummer:  
Int. Cl. 5:  
Offenlegungstag:

DE 43 23 961 A1  
H 01 L 27/108  
20. Januar 1994

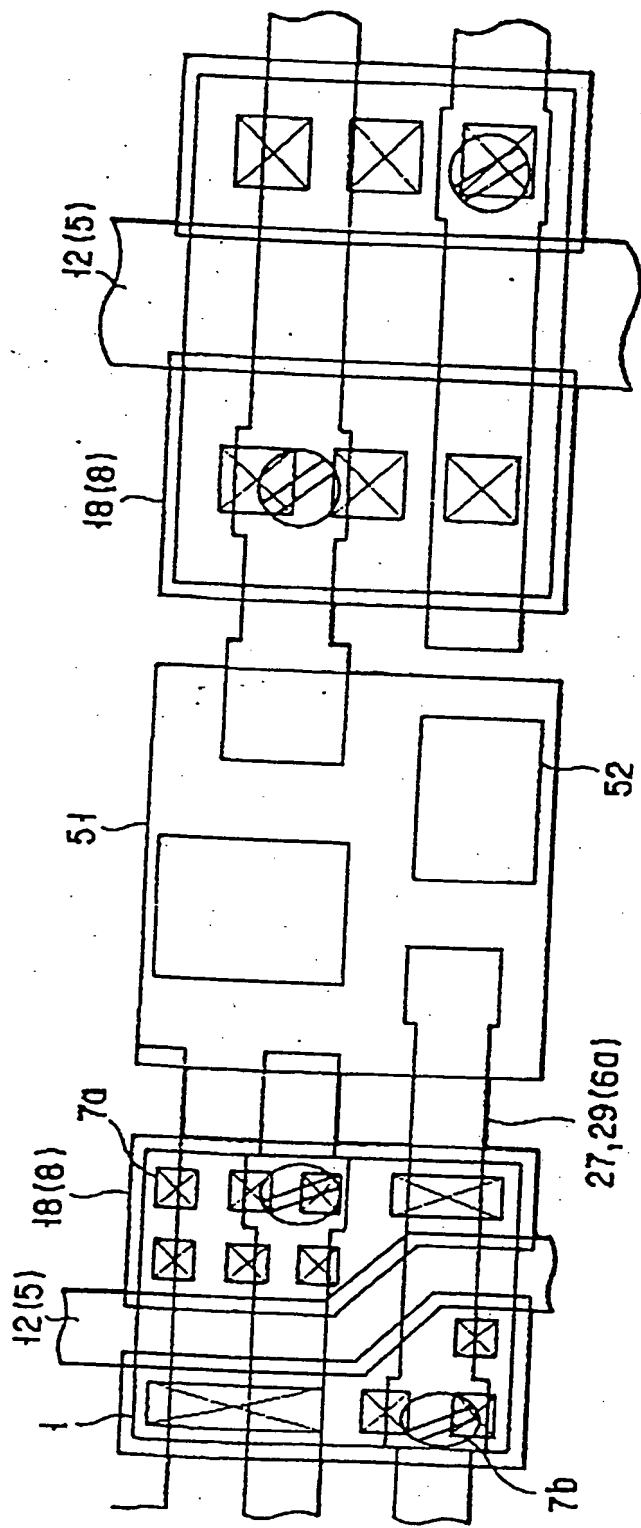


FIG. 21A

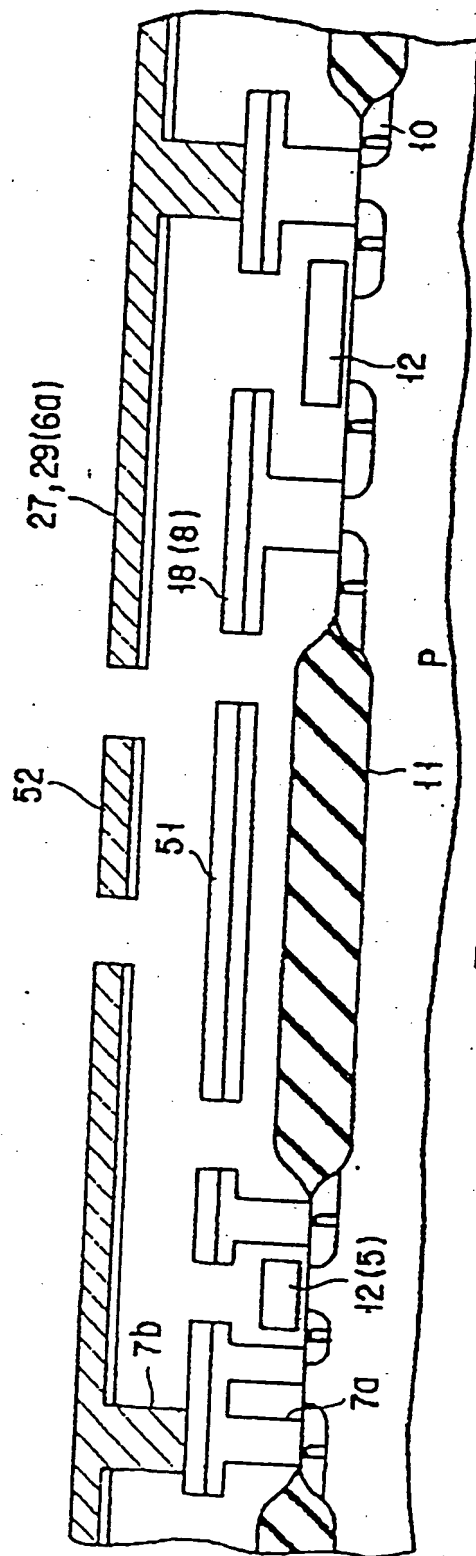


FIG. 21B

Nummer:  
Int. Cl.<sup>6</sup>:  
Offenlegungstag:

DE 43 23 961 A1  
H 01 L 27/108  
20. Januar 1994

